

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-014153

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H03K 5/15

(21)Application number : 03-164300

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.07.1991

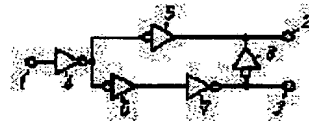
(72)Inventor : MORITAKE KAZUYUKI

(54) TWO-PHASE CLOCK SIGNAL GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To generate complementary two-phase clock signals changing simultaneously in which there is no time difference between an output of a noninverting clock signal and an output of an inverting clock signal.

CONSTITUTION: An in-phase signal resulting from a signal given to a clock signal input terminal 1 passing through 2-stages of inverse logic elements 4, 5 and an in-phase signal resulting from the signal given to the clock signal input terminal 1 passing through 4-stages of inverse logic elements 4, 6, 7, 8 are synthesized and the in-phase clock signal is generated at an output terminal 2. Simultaneously, an antiphase signal passing through 3-stages of inverse logic elements 4, 6, 7 is outputted to the output terminal 3 as an antiphase clock signal. Thus, the complementary two-phase clock signals changing simultaneously in which there is no time difference between an output of an in-phase clock signal and an output of an antiphase clock signal are generated by receiving a single-phase clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-14153

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

H 0 3 K 5/15

識別記号

庁内整理番号

C 7125-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-164300

(22)出願日 平成3年(1991)7月4日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森竹 一之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

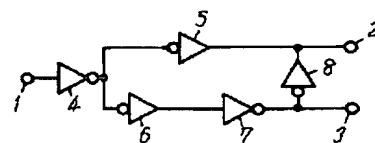
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 二相クロック信号発生回路

(57)【要約】

【目的】 正相クロック信号出力と逆相クロック信号出力の時間差がなく、同時に変化するコンプリメンタリ二相クロック信号を生成する。

【構成】 クロック信号入力端子1に与えられた信号が、反転論理素子4, 5を二段通った同相信号と、反転論理素子4, 6, 7, 8を四段通った同相信号とを合成して、出力端子2に同相クロック信号を発生させる。同時に、反転論理素子4, 6, 7を三段通った逆相信号を出力端子3に逆相クロック信号として出力させる。これにより、単相クロック信号を入力として、同相クロック信号出力と逆相クロック信号出力に時間差がなく、同時に変化するコンプリメンタリ二相クロック信号が生成される。



1 クロック信号
入力端子

2,3 クロック信号
出力端子

4~8 反転論理素子

(2)

1

【特許請求の範囲】

【請求項1】 入力端子がクロック信号入力端子に接続された第一の反転論理素子と、入力端子が前記第一の反転論理素子の出力端子に接続され、出力端子が第一のクロック信号出力端子に接続された第二の反転論理素子と、入力端子が前記第一の反転論理素子の出力端子に接続された第三の反転論理素子と、入力端子が前記第三の反転論理素子の出力端子に接続され、出力端子が第二のクロック信号出力端子に接続された第四の反転論理素子と、入力端子が前記第四の反転論理素子の出力端子に接続され、出力が前記第二の反転論理素子の出力端子に接続された二相クロック信号発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル回路において、単相のクロック信号の入力から正相、逆相のコンプリメンタリ・クロック信号を生成する二相クロック信号発生回路に関するものである。

【0002】

【従来の技術】 近年、電子機器のデジタル化が進むとともに、そのキーデバイスとなるアナログ・デジタル変換器（A/D変換器）、デジタル・アナログ変換器（D/A変換器）の高精度化が求められるようになってきた。そして、D/A変換器の高精度化には、その構成要素である電流スイッチの切り換えタイミングを制御する二相クロック信号発生回路の高精度化が必要である。

【0003】 以下、従来の二相クロック信号発生回路について図2および図4を参照しながら説明する。図2は従来の二相クロック信号発生回路の構成の一例を、また、図4は従来の二相クロック信号発生回路の各ノードの波形をそれぞれ示した図である。

【0004】 図2において、1はクロック信号入力端子、2、3はクロック信号出力端子、4～7は反転論理素子である。図4において、9は図2のクロック信号出力端子3に得られる出力信号の波形、10は図2のクロック信号出力端子2に得られる出力信号の波形である。

【0005】 図2に示した二相クロック信号発生回路において、まず、クロック信号入力端子1の信号がハイレベル（ V_H ）からローレベル（ V_L ）に変化すると、反転論理素子4の出力はその伝搬遅延分（ τ_d ）の時間遅れでローレベル（ V_L ）からハイレベル（ V_H ）に変化する。そして、クロック信号出力端子2に出力される信号は、反転論理素子4、5の計二段分の伝搬遅延による時間遅れ（ $2\tau_d$ ）でハイレベル（ V_H ）からローレベル（ V_L ）に変化する。一方、クロック信号出力端子3に出力される信号は、反転論理素子4、6、7の計三段分の伝搬遅延による時間遅れ（ $3\tau_d$ ）でローレベル（ V_L ）からハイレベル（ V_H ）に変化する。つまり、クロック信号入力端子1の信号に対して、クロック信号出力端子2には $2\tau_d$ の時間差で同相信号10が出力さ

2

れ、クロック信号出力端子3には $3\tau_d$ の時間差で逆相信号9が出力される。

【0006】 以上の動作で、単相クロック信号入力信号からコンプリメンタリ二相クロック信号が生成される。

【0007】

【発明が解決しようとする課題】 しかしながら、上記の従来の構成では、クロック信号入力端子1とクロック信号出力端子2（正相）との間にある反転論理素子の段数と、クロック信号出力端子3（逆相）との間にある反転論理素子の段数とが異なるために、それぞれの信号の伝搬遅延に差ができる。つまり、正相クロック信号と逆相クロック信号が同時に変化せず、正相クロック信号出力と逆相クロック信号出力には反転論理素子一段分の伝搬遅延差（ τ_d ）が発生するという問題があった。

【0008】 本発明は、上記従来の問題を解決するもので、正相クロック信号出力と逆相クロック信号出力の時間差がなく、同時に変化するコンプリメンタリ二相クロック信号を生成することが可能な二相クロック信号発生回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記の目的を達成するために本発明の二相クロック信号発生回路は、クロック信号入力端子に与えられた信号が反転論理素子を二段通った正相信号と反転論理素子を四段通った正相信号を合成して正相クロック信号を発生させると同時に、反転論理素子を三段通った逆相信号を逆相クロック信号にするという構成を有している。

【0010】

【作用】 この構成によって、単相クロック信号を入力として、正相クロック信号出力と逆相クロック信号出力に時間差がなく同時に変化するコンプリメンタリ二相クロック信号を生成することができる。

【0011】

【実施例】 以下、本発明の一実施例について、図1および図3を参照しながら説明する。図1は本実施例における二相クロック信号発生回路の構成を示す図であり、図3は本実施例の各ノードの波形を示す図である。

【0012】 本実施例は、図2に示した構成の二相クロック信号発生回路の反転論理素子5、7の出力端間に反転論理素子8を挿入接続した構成をしている。

【0013】 図3において、11は反転論理素子8の出力と反転論理素子5の出力とを結合しない時の反転論理素子5の出力信号の波形、12はその時の反転論理素子8の出力信号の波形、13は出力信号11、12を合成したクロック信号出力端子2に得られる出力信号の波形である。

【0014】 本実施例において、まずクロック信号入力端子1に印加された入力信号がハイレベル（ V_H ）からローレベル（ V_L ）に変化すると、反転論理素子4の出力はその伝搬遅延分（ τ_d ）の時間遅れでローレベル

(3)

3

(V_L) からハイレベル (V_H) に変化する。クロック信号出力端子3に得られる出力信号は、反転論理素子4, 6, 7の計三段分の伝搬遅延による時間遅れ ($3\tau_d$) でローレベル (V_L) からハイレベル (V_H) に変化する。一方、図1において転論理素子5の出力と反転論理素子8の出力とが結合されていないとすると、反転論理素子5の出力は反転論理素子4, 5の計二段分の伝搬遅延による時間遅れ ($2\tau_d$) で、図3の信号波形11のようにハイレベル (V_H) からローレベル (V_L) に変化する、反転論理素子8の出力が反転論理素子4, 6, 7, 8の計四段分の伝搬遅延による時間遅れ ($4\tau_d$) で、図3の信号波形12のようにハイレベル (V_H) からローレベル (V_L) に変化する。

【0015】本実施例では、反転論理素子5と反転論理素子8の出力がクロック信号出力端子2で結合されており、クロック信号出力端子2の信号は、図3に示すように、反転論理素子5の出力信号と反転論理素子8の出力信号の合成 (平均電圧) 信号13となり、等価的に反転論理素子三段分の伝搬遅延による時間遅れ ($3\tau_d$) でハイレベル (V_H) からローレベル (V_L) に変化する。つまり、クロック信号入力端子1の信号に対して、クロック信号出力端子2には $3\tau_d$ の時間差で同相信号が出力され、同時にクロック信号出力端子3には $3\tau_d$ の等しい時間差で逆相信号が出力される。

【0016】以上のように本実施例によれば、クロック信号入力端子に与えられた信号が反転論理素子を二段通った正相信号と反転論理素子を四段通った正相信号を合成して正相クロック信号を発生させると同時に、反転論

4

理素子を三段通った逆相信号を逆相クロック信号にするという構成により、単相クロック信号を入力として、正相クロック信号出力と逆相クロック信号出力に時間差がなく同時に変化するコンプリメンタリ二相クロック信号を生成することができる。

【0017】

【発明の効果】本発明は、クロック信号入力端子に与えられた信号が反転論理素子を二段通った正相信号と反転論理素子を四段通った正相信号を合成して正相クロック信号を発生させると同時に、反転論理素子を三段通った逆相信号を逆相クロック信号にするという構成により、単相クロック信号を入力として、正相クロック信号出力と逆相クロック信号出力に時間差がなく同時に変化するコンプリメンタリ二相クロック信号を生成することのできる優れた二相クロック信号発生回路を実現できるものである。

【図面の簡単な説明】

【図1】本発明の一実施例における二相クロック信号発生回路の構成図

【図2】従来の二相クロック信号発生回路の構成図

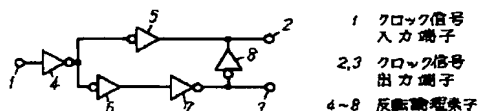
【図3】図1に示した本発明の一実施例における各ノードの波形を示す図

【図4】従来の二相クロック信号発生回路における各ノードの波形を示す図

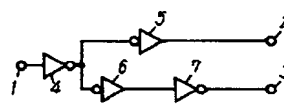
【符号の説明】

- 1 クロック信号入力端子
- 2, 3 クロック信号出力端子
- 4~8 反転論理素子

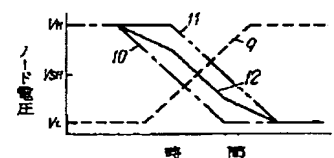
【図1】



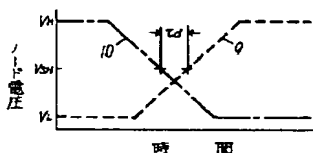
【図2】



【図3】



【図4】



整理番号 J0092715
発送番号 353634
発送日 平成18年 8月22日

拒絶理由通知書

特許出願の番号	特願2002-233881
起案日	平成18年 8月 8日
特許庁審査官	清水 稔 8525 5X00
特許出願人代理人	上柳 雅登(外 2名) 様
適用条文	第17条の2第3項、第29条第2項

<<<< 最 後 >>>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

理由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

請求項1、11～16に係る発明について

引用例1：特開平5-14153号公報

請求項1、11～13に係る発明は、引用例1に記載された発明と格別相違しない。時間差のない二相クロックを本願請求項14～16に記載された用途に用いることは普通に知られていることである。

最後の拒絶理由通知とする理由

最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。

以上

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-014153

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H03K 5/15

(21)Application number : 03-164300

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.07.1991

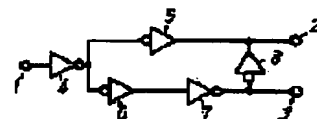
(72)Inventor : MORITAKE KAZUYUKI

(54) TWO-PHASE CLOCK SIGNAL GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To generate complementary two-phase clock signals changing simultaneously in which there is no time difference between an output of a noninverting clock signal and an output of an inverting clock signal.

CONSTITUTION: An in-phase signal resulting from a signal given to a lock signal input terminal 1 passing through 2-stages of inverse logic elements 4, 5 and an in-phase signal resulting from the signal given to the clock signal input terminal 1 passing through 4-stages of inverse logic elements 4, 6, 7, 8 are synthesized and the in-phase clock signal is generated at an output terminal 2. Simultaneously, an antiphase signal passing through 3-stages of inverse logic elements 4, 6, 7 is outputted to the output terminal 3 as an antiphase clock signal. Thus, the complementary two-phase clock signals changing simultaneously in which there is no time difference between an output of an in-phase clock signal and an output of an antiphase clock signal are generated by receiving a single-phase clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The first reversal logical element by which the input terminal was connected to the clock signal input terminal, The second reversal logical element by which the input terminal was connected to the output terminal of said first reversal logical element, and the output terminal was connected to the first clock signal output terminal, The third reversal logical element by which the input terminal was connected to the output terminal of said first reversal logical element, The fourth reversal logical element by which the input terminal was connected to the output terminal of said third reversal logical element, and the output terminal was connected to the second clock signal output terminal, The two-phase clock signal generating circuit by which the input terminal was connected to the output terminal of said fourth reversal logical element, and the output was connected to the output terminal of said second reversal logical element.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the two-phase clock signal generating circuit which generates the KOMPURIMENTARI clock signal of a non-inverter and opposition from the input of a single-phase clock signal in a digital circuit.

[0002]

[Description of the Prior Art] While digitization of electronic equipment progresses in recent years, highly precise-ization of the analog-to-digital converter (A/D converter) used as the key device and a digital to analog converter (D/A converter) has come to be called for. And the two-phase clock signal generating circuit which controls the switch timing of the current switch which is the component needs to be highly-precise-ized for highly-precise-izing of a D/A converter.

[0003] Hereafter, it explains, referring to drawing 2 and drawing 4 about the conventional two-phase clock signal generating circuit. Drawing 2 is drawing having shown the wave of each node of the two-phase clock signal generating circuit of the former [drawing 4] for an example of the configuration of the conventional two-phase clock signal generating circuit again, respectively.

[0004] As for a clock signal input terminal, and 2 and 3, in drawing 2, a clock signal output terminal, and 4-7 is [1] reversal logical elements. In drawing 4, the wave of the output signal with which 9 is obtained by the clock signal output terminal 3 of drawing 2, and 10 are the waves of the output signal acquired by the clock signal output terminal 2 of drawing 2.

[0005] In the two-phase clock signal generating circuit shown in drawing 2, first, if the signal of the clock signal input terminal 1 changes from high level (VH) to a low level (VL), the output of the reversal logical element 4 will change from a low level (VL) to high level (VH) by the time lag for the propagation delay (taud). And the signal outputted to the clock signal output terminal 2 changes from high level (VH) to a low level (VL) by the time lag (2taud) by the propagation delay for a total of two steps of the reversal logical elements 4 and 5. On the other hand, the signal outputted to the clock signal output terminal 3 changes from a low level (VL) to high level (VH) by the time lag (3taud) by the propagation delay for a total of three steps of the reversal logical elements 4, 6, and 7. That is, to the signal of the clock signal input terminal 1, the inphase signal 10 is outputted to the clock signal output terminal 2 by the time difference of 2taud, and the opposition signal 9 is outputted to the clock signal output terminal 3 by the time difference of 3taud.

[0006] In the above actuation, a complementary two-phase clock signal is generated from a single-phase clock signal input signal.

[0007]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional configuration, since the number of stages of the reversal logical element between the clock signal input terminal 1 and the clock signal output terminal 2 (non-inverter) differs from the number of stages of the reversal logical element between the clock signal output terminals 3 (opposition), a difference is made to the propagation delay of each signal. That is, a non-inverter clock signal and an opposition clock signal did not change to coincidence, but there was a problem that the propagation delay difference for one step of reversal logical element (taud) occurred in a non-inverter clock signal output and an opposition clock signal output.

[0008] This invention solves the above-mentioned conventional problem, does not have the time difference of a non-inverter clock signal output and an opposition clock signal output, and aims at offering the two-phase clock signal generating circuit which can generate the complementary two-phase clock signal which changes to coincidence.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the two-phase clock signal generating circuit of this invention has the configuration of making into an opposition clock signal the opposition signal which passed along three steps of reversal logical elements at the same time it compounds the non-inverter signal with which the signal given to the clock signal input terminal passed along two steps of reversal logical elements, and the non-inverter signal which passed along four steps of reversal logical elements and generates a non-inverter clock signal.

[0010]

[Function] The complementary two-phase clock signal which there is no time difference in a non-inverter clock signal output and an opposition clock signal output by considering a single-phase clock signal as an input, and changes with these configurations to coincidence is generable.

[0011]

[Example] Hereafter, one example of this invention is explained, referring to drawing 1 and drawing 3. Drawing 1 is drawing showing the configuration of the two-phase clock signal generating circuit in this example, and drawing 3 is drawing showing the wave of each node of this example.

[0012] This example is carrying out the configuration which made insertion connection of the reversal logical element 8 between the outgoing ends of the reversal logical elements 5 and 7 of the two-phase clock signal generating circuit of a configuration of having been shown in drawing 2.

[0013] In drawing 3, it is the wave of the output signal acquired by the clock signal output terminal 2 to which the wave of the output signal of the reversal logical element 5 in case 11 does not combine the output of the reversal logical element 8 and the output of the reversal logical element 5, and 12 compounded the wave of the output signal of the reversal logical element 8 at that time, and 13 compounded output signals 11 and 12.

[0014] In this example, if the input signal first impressed to the clock signal input terminal 1 changes from high level (VH) to a low level (VL), the output of the reversal logical element 4 will change from a low level (VL) to high level (VH) by the time lag for the propagation delay (τ_{aud}). The output signal acquired by the clock signal output terminal 3 changes from a low level (VL) to high level (VH) by the time lag ($3\tau_{\text{aud}}$) by the propagation delay for a total of three steps of the reversal logical elements 4, 6, and 7. On the other hand, supposing the output of ***** 5 and the output of the reversal logical element 8 are not combined in drawing 1, the output of the reversal logical element 5 is a time lag ($2\tau_{\text{aud}}$) by the propagation delay for a total of two steps of the reversal logical elements 4 and 5. Change from high level (VH) to a low level (VL) like the signal wave form 11 of drawing 3, and by the time lag ($4\tau_{\text{aud}}$) by the propagation delay whose output of the reversal logical element 8 is a total of four steps of the reversal logical elements 4, 6, 7, and 8. It changes from high level (VH) to a low level (VL) like the signal wave form 12 of drawing 3.

[0015] At this example, the output of the reversal logical element 5 and the reversal logical element 8 is combined by the clock signal output terminal 2, and as the signal of the clock signal output terminal 2 is shown in drawing 3, it becomes the output signal of the reversal logical element 5, and the synthetic (average electrical potential difference) signal 13 of the output signal of the reversal logical element 8, and changes from high level (VH) to a low level (VL) equivalent by the time lag ($3\tau_{\text{aud}}$) by the propagation delay for three steps of reversal logical elements. That is, to the signal of the clock signal input terminal 1, an inphase signal is outputted to the clock signal output terminal 2 by the time difference of $3\tau_{\text{aud}}$, and an opposition signal is outputted to coincidence by time difference with $3\tau_{\text{aud}}$ equal to the clock signal output terminal 3.

[0016] At the same time it compounds the non-inverter signal with which the signal given to the clock signal input terminal passed along two steps of reversal logical elements, and the non-inverter signal which passed along four steps of reversal logical elements and generates a non-inverter clock signal according to this example as mentioned above. The complementary two-phase clock signal which there is no time difference in a non-inverter clock signal output and an opposition clock signal output by considering a single-phase clock signal as an input, and changes with the configurations of making into an opposition clock signal the opposition signal which passed along three steps of reversal logical elements to coincidence is generable.

[0017]

[Effect of the Invention] At the same time this invention compounds the non-inverter signal with which the signal given to the clock signal input terminal passed along two steps of reversal logical elements, and the non-inverter signal which passed along four steps of reversal logical elements and generates a non-inverter clock signal. By the configuration of making into an opposition clock signal the opposition signal which passed along three steps of reversal logical elements. The outstanding two-phase clock signal generating circuit which can generate the complementary two-phase clock signal which there is no time difference in a

non-inverter clock signal output and an opposition clock signal output, and changes to coincidence is realizable by considering a single-phase clock signal as an input.

[Translation done.]

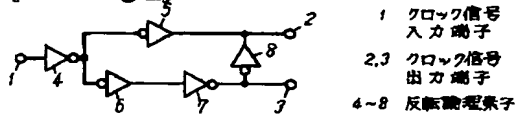
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

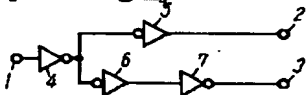
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

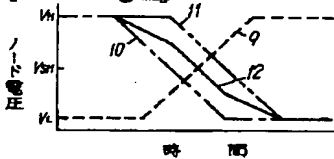
[Drawing 1]



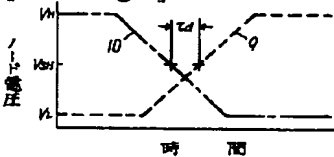
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]